

Heuristic Algorithm for Semiconductor Common Centroid Layout Optimization

2023학년도 겨울학기 Logistics Lab 연구참여

지도 교수	김병인
사 수	이범희
성 명	권순영
학 번	20220742
학 과	산업경영공학과
기 간	2024/01/02 ~ 2024/02/08

목차

1. Introduction – pg. 3
2. Method – pg. 4
3. Discussion – pg. 9
4. Conclusion – pg. 10
5. Reference – pg. 11

1. Introduction

본 과제는 Common Centroid Layout(CCL) 조건을 만족하는 반도체 배치 과정에서 Transistor Pair(TR) 간의 Routing Length 를 최소화하는 일종의 Layout/Routing 최적화 문제이다. 위 과제에서는 이러한 최적화 문제의 규모가 커졌을 때 수리 모델보다 빠르게 해결하기 위한 휴리스틱 알고리즘을 개발하고자 한다.

이 최적화 문제는 기존의 선행 연구나 최적화 문제와 어느 정도 거리가 있다. 반도체 디자인이라는 요소로 생기는 다양한 조건들에 의해 기존의 methodology 를 적용하는 것에는 어려움이 있다[1]. 따라서 initial solution 을 구하기 위한 rule-based algorithm 을 구현한 뒤, 다양한 improvement 기법을 사용하고자 했다.

본문을 통해 CCL 배치 문제의 휴리스틱 알고리즘을 크게 두 단계; initial solution 과 improvement 로 나누어 설명하고자 한다.

2. Method

2.1 Problem Introduction and Overview

이 최적화 문제의 목적은 TR 을 연결하는 Signal 의 총 길이를 최소화하는 것이다. 실제 응용 중에는 배선에 따른 weight 가 다르지만, 본 문제에서는 이를 간략화하여 진행했다.

주요 조건으로는 다음과 같은 조건이 있다. 첫째, input 에서 주어지는 row 개수와 TR 연결 관계를 만족해야 한다. 둘째, 위 input 에 따른 pin pattern 조건을 만족하도록 배치해야 한다. 셋째, canvas 의 영역 내에서 TR 배치가 완료되어야 한다. 본 문제에서는 2D 조건을 간략화하여 진행했다.

2.2 Initial Layout Algorithm

이러한 문제를 해결하기 위한 heuristic algorithm 의 전체적인 흐름은 [Figure 1]과 같다.

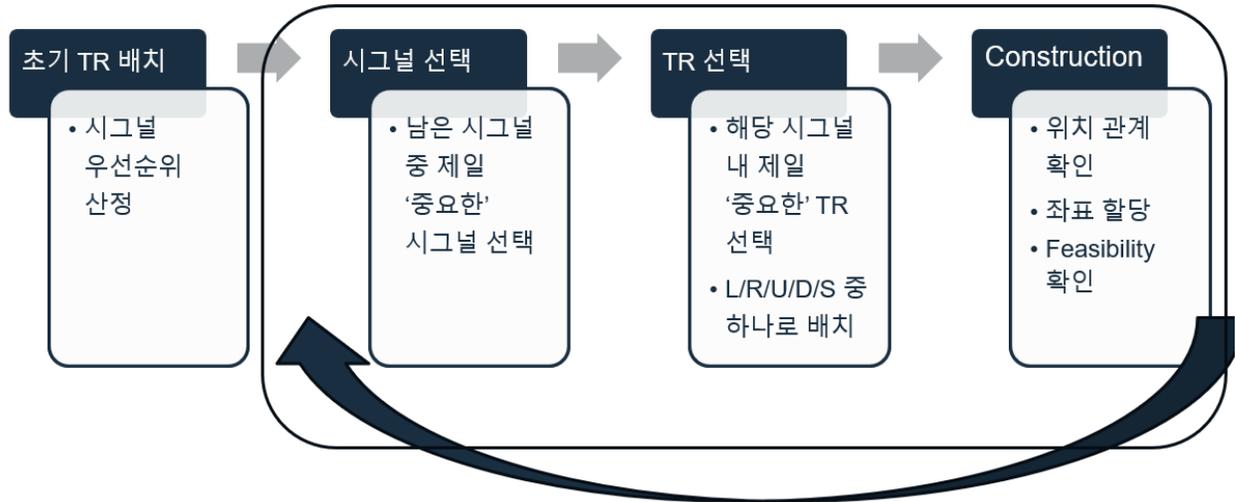


Figure 1: Heuristic algorithm overview

위와 같이 총 4 단계로 진행되는 Initial Layout Algorithm 은 rule-based algorithm 으로, feasible 한 배치를 하는 데 초점을 둔다. 초기 TR 배치(1 단계)를 진행한 뒤, 시그널 선택(2 단계), TR 선택(3 단계), 그리고 Construction(4 단계)를 iterative loop 로 반복한다.

첫 단계인 초기 TR 배치에서는 처음으로 배치할 TR 을 선정한다. 위 문제는 TR 하나하나가 최종 결과에 큰 영향을 끼치기에, 다른 TR/Signal 간의 관계가 제일 복잡한 TR 을 우선 배치한다. 이러한 TR 을 선택하는 과정은 간소화된 TR/Signal 우선순위 선택 과정으로, 먼저 Signal 우선순위를 계산한 뒤 제일 높은 Signal 을 선택하고, TR 우선순위를 계산한 뒤 제일 높은 Signal 에 연결된 TR 중 제일 높은 TR 을 초기 TR 으로 선정한다.

Signal 의 선택에는 다음과 같은 우선순위를 사용한다: 1) PMOS/NMOS 간의 연결을 포함한다(다른 row 간의 연결이 필요하다), 2) 1 번 조건을 만족하는 Signal 중 CCT 의 개수가 많은 순서. TR 의 선택에는 다음과 같은 우선순위를 사용한다: 1) CCT 이다, 2) 면적이 큰 순서. 이와 같은 과정으로 처음에 배치할 TR 을 선정한다.

두번째 단계인 signal 선택은 완성된 signal 을 제외한 set 에서 우선순위를 확인하여 선정한다. 다음과 같은 우선순위를 가진다: 1) 직전에 배치된 TR 에 연결되어 있다, 2) Signal 에 아직 배치가 끝나지 않은 CCT 중 PMOS/NMOS 가 각각 1 개 이상 있다, 3) Signal 에 아직 배치가 끝나지 않은 CCT 가 많은 순서. 이때, 우선순위가 제일 높은 signal 이 복수일 경우 무작위적으로 선택한다. 이와 같은 과정으로 다음으로 배치할 TR 에 대한 탐색 폭을 좁힌다.

세번째 단계인 TR 선택은 직전 단계에서 선택된 signal 에 연결된 TR 의 set 에서 우선순위를 확인하여 선정한다. 다음과 같은 우선순위를 가진다: 1) 직전에 선정된 signal 에 연결되어 있다. 2) 면적이 큰 순서. 이때, 우선순위가 제일 높은 TR 이 복수일 경우 무작위적으로 선택한다. 나아가, 직전 TR 과 MOS 가 다를 경우에는 배치 상태를 up(U) 또는 down(D) 중 적절하게 선택한다. 보조 관계에 있을 경우에는 split(S)를 배정하고, 아닐 경우에는 left(L)과 right(R) 중 무작위적으로 선택한다.

네번째 단계인 Construction 은 TR 에 좌표값을 할당함으로써 실제로 '배치'하는 단계이다. 이 과정에서는 직전 단계에 결정된 L/R/U/D 관계와 Minimum Width Deviation 을 바탕으로 기준점의 x 좌표를 결정한다. 또한, row 에 따라 y 좌표를 결정한다. 마지막으로, 기준점에 대한 정보와 TR 의 면적에 따라 영역을 할당해준다. 위와 같이 영역 할당이 끝나면 feasibility check 를 한다. 영역 할당으로 인해 다른 TR 과 충돌했는지 경계값과 기준점으로 확인한 뒤,

충돌 시 직전 단계로 회귀한다. L/R/U/D 모든 관계가 infeasible 하면 직전 TR 을 재배치하도록 돌아간다.

위 과정이 반복되다 모든 TR 이 배치될 경우 iterative loop 가 종료된다.

2.3 Improvement Algorithm

위 문제에서 초기 배치로 얻을 수 있는 결과는 제한적이다. 따라서 초기 배치를 바탕으로 배치를 수정하면서 더 나은 결과를 찾아가는 improvement algorithm이 필요하며, 문제의 특성을 고려하여 기존에 배치한 TR 또한 수정할 수 있는 algorithm이어야 한다.

이러한 조건을 고려하여 Adaptive Large Neighborhood Search(ALNS)의 활용을 제안하고자 한다. Insertion heuristic과 removal heuristic의 활용을 통해 local optima에 갇힐 확률이 적은 ALNS 기법은 본 문제에 적합하다고 판단된다. 나아가, Netlist에 따라 크게 달라지는 배치 방법에도 적용이 가능할 수준의 robustness를 갖춘 기법이다.

첫 TR배치 단계와 더불어, 일정량의 randomness가 필요하기에 ALNS에서 요구하는 여러 insertion/removal heuristic algorithm이 필요하다.

Removal heuristic algorithm에는 크게 3개를 제안한다. 첫번째인 Removal of Critical TR Algorithm은 배치에 있어서 다양한 signal에 연결된 핵심적인 TR을 식별하고 제거한다. 두번째인 Removal of Consecutive Critical TR Algorithm은 위와 같이 식별한 핵심적인 TR과, 이에 직접적으로 연결되어 있는 TR을 제거한다. 마지막인 Random Removal은 random criterion을 활용하여 CCT TR을 무작위적으로 제거한다.

Insertion heuristic algorithm에는 크게 2개를 제안한다. 첫번째인 Best Insertion Algorithm은 partial solution을 바탕으로 주요 signal의 route length를 계산한 다음, 이를 바탕으로 최적의 위치에 TR을 배치한다. 두번째인 Random Insertion은 random position(연결 관계)에 배치한 후 주변 TR을 재배치한다.

3. Discussion

본 과제의 핵심적인 한계는 실제 데이터로 휴리스틱 알고리즘의 성능을 검증하지 못한 점에 있다. 선행 연구로 주어진 수리 모델 성능이나, 기초적인 BFS/DFS 모델과 비교를 하여 Gap Performance나 Runtime을 확인하여 휴리스틱 알고리즘의 성능을 직접 확인하지 못한 점이 제일 큰 한계점이다. 이로 인해 실질적인 Netlist 데이터로 확인한 결과 데이터가 없으며, 향후 연구 방향은 improvement 알고리즘의 보완과 수리 모델 성능과의 비교로 발전 시키고자 한다.

4. Conclusion

해당 과제는 실제 구현으로 알고리즘을 가시화하지 못한 점이 크나큰 한계다. 결국 알고리즘의 성능을 평가하기 위해서는 주어진 Netlist 데이터로 수리 모델의 성능과 비교하는 작업을 거치고, 나아가 큰 데이터셋을 직접 제작하여 input size에 따른 성능 변화도 확인할 필요가 있다. 그러나, 실질적인 구현 없이는 확인할 수가 없는 부분들로, 본 결과물의 의의를 크게 해치는 요소이다.

그러나, 조건이 굉장히 많은 CCL 최적화 문제에 대한 rule-based algorithm을 소개하고, 문제의 특성을 고려하여 이에 대한 improvement algorithm을 제안한 점에는 의의가 있다. 초기 배치가 최종 결과에 큰 영향을 끼친다는 점, 그리고 TR 배치 하나하나가 상당히 많은 경우의 수를 제한한다는 점과 같이 위 최적화 문제의 전반적인 특성을 고려한 heuristic algorithm을 제안했다는 점에도 의의가 있다.

본 과제에서 나아간 향후 연구는 실제 구현과 더불어, Netlist에 입력되는 TR 개수가 많을 경우의 성능 평가, 그리고 2D CCL 문제까지 구현하는 것을 기대한다. 또한, 강화 학습과 같은 method를 통해 위 문제를 해결하고, 최적화 기법의 성능과 비교해보는 것 또한 기대한다.

5. References

[1]

J. -E. Chen, P. -W. Luo and C. -L. Wey, "Placement Optimization for Yield Improvement of Switched-Capacitor Analog Integrated Circuits," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 29, no. 2, pp. 313-318, Feb. 2010, doi: 10.1109/TCAD.2009.2035587.

[2]

Santos, Vinicius Gandra, and Marco Antonio Carvalho. "Adaptive Large neighborhood search applied to the design of electronic circuits." Applied Soft Computing, vol. 73, Dec. 2018, pp. 14-23, <https://doi.org/10.1016/j.asoc.2018.08.017>.